

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Active-matrix liquid crystal display

Patent Number: US6137558

Publication date: 2000-10-24

Inventor(s): OMURA TETSUJI (JP); KOMA NORIO (JP); YONEDA KIYOSHI (JP)

Applicant(s):: SANYO ELECTRIC CO (JP)

Requested Patent: JP11148078

Application Number: US19980193666 19981117

Priority Number(s): JP19970317517 19971118

IPC Classification: G02F1/1343 ; C09K19/30

EC Classification:

Equivalents:

Abstract

On a TFT substrate, a TFT using a low-temperature poly silicon thin film as an active layer is formed and a plurality of pixel electrodes are formed over the TFT and its electrode wiring, with an interlayer insulating layer between. In a common electrode formed on an opposite substrate opposite the TFT substrate with a liquid crystal layer between, an alignment controlling window for the liquid crystal is formed at a predetermined position opposite each of the pixel electrodes. A wide viewing angle is achieved by dividing an alignment area of liquid crystal molecules in one pixel area. The liquid crystal layer is vertically aligned and can be operated at a low driving voltage obtained by a poly silicon TFT by including fluorine liquid crystal molecules having negative dielectric anisotropy and fluorine side chains in the liquid crystal.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-148078

(43)公開日 平成11年(1999)6月2日

(51)Int.Cl.⁶

識別記号

F I

C 0 9 K 19/30

C 0 9 K 19/30

G 0 2 F 1/13

5 0 0

G 0 2 F 1/13

5 0 0

1/1337

1/136 5 0 0

1/1337

1/136 5 0 0

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21)出願番号

特願平9-317517

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(22)出願日 平成9年(1997)11月18日

(72)発明者 小間 徳夫

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 米田 清

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 小村 哲司

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

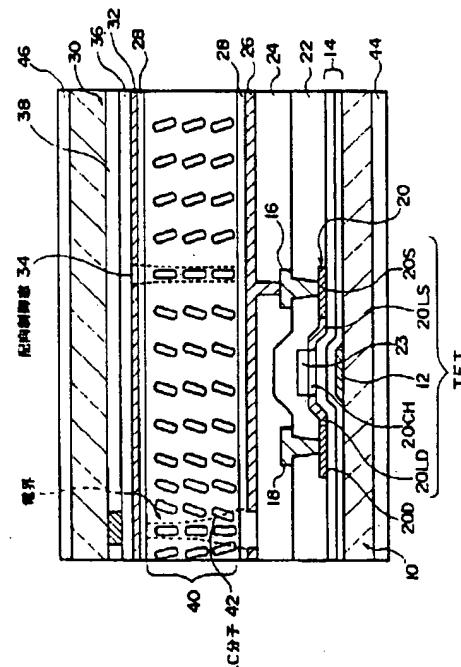
(74)代理人 弁理士 吉田 研二 (外2名)

(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】

【課題】 低温多結晶シリコンTFTを用いた液晶表示装置の最適化。

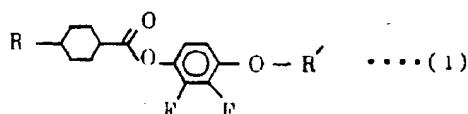
【解決手段】 TFT基板10上に、低温多結晶シリコン薄膜20を能動層として用いるTFTを形成し、該TFT及び電極配線を覆うようにこれら之上に層間絶縁膜を介して複数の画素電極26を形成する。液晶層40を挟んで対向する対向基板30上に形成される共通電極32には、その各画素電極26と対向する所定の位置に液晶の配向制御窓34が形成され、1画素領域中で液晶分子の配向領域を分割して広視野角を実現している。液晶層40の配向は垂直配向であり、液晶材料として、負の誘電異方性を備え、少なくとも側鎖にフッ素を有するフッ素系液晶分子を含むことで、多結晶シリコンTFTによって実現される低電圧駆動で十分動作することを可能としている。



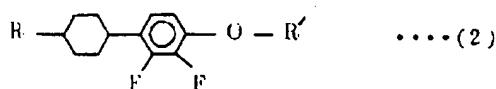
【特許請求の範囲】

【請求項1】 第1基板上に、マトリクス状に設けられた複数の画素電極と、対応する前記画素電極に接続されるように形成された薄膜トランジスタ及びその電極配線と、を備え。
 前記第1基板上の前記複数の画素電極と、該第1基板に対向配置された第2基板上の共通電極との間に挟持された液晶層を画素電極毎に駆動して表示を行うアクティブマトリクス型液晶表示装置であって、
 前記薄膜トランジスタとして、能動層に低温で形成された多結晶シリコン層を利用した多結晶シリコン薄膜トランジスタを用い、
 前記第1及び第2基板間に挟持される前記液晶層の各液晶分子の初期配向を前記画素電極に対してほぼ垂直方向となるように制御し、
 前記液晶層に用いる液晶材料として、側鎖にフッ素を備える以下の化学式(1)～化学式(6)で示される分子構造を備えた材料のうち、

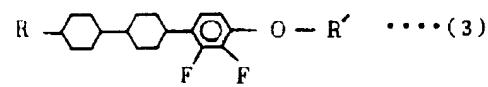
【化1】



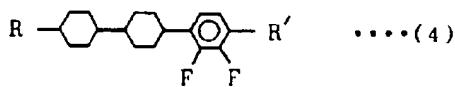
【化2】



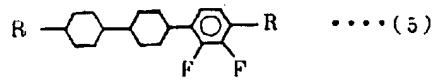
【化3】



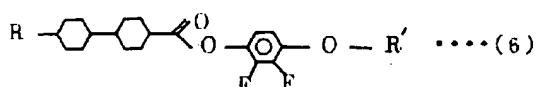
【化4】



【化5】



【化6】



少なくともいづれか1種類の液晶分子を選択することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 請求項1に記載のアクティブマトリクス型液晶表示装置において、

前記第2基板上の前記共通電極には、前記画素電極と対向する所定対応領域内に前記液晶の配向を制御するための電極不在部を配向制御窓として設け、液晶分子の配向

を垂直方向から変化させながら、各画素電極領域内に傾斜方角の異なる複数の領域を作成することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項3】 請求項1又は請求項2の一方に記載のアクティブマトリクス型液晶表示装置において、
 前記第1基板では、

該第1基板上に形成された薄膜トランジスタ及びその電極配線を覆うように平坦化層間絶縁膜が形成され、
 前記平坦化層間絶縁膜上に前記複数の画素電極がそれぞれ形成されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項4】 請求項1又は請求項2の一方に記載のアクティブマトリクス型液晶表示装置において、
 前記第1基板では、

該第1基板上に形成された薄膜トランジスタを覆うように平坦化層間絶縁膜が形成され、
 少なくとも前記薄膜トランジスタの形成領域を覆うように前記平坦化層間絶縁膜上に前記複数の画素電極がそれぞれ形成されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項5】 請求項2に記載のアクティブマトリクス型液晶表示装置において、

前記液晶層に用いられる液晶材料は、負の誘電異方性を備え、

前記液晶層の垂直配向は、ラビング工程を施すことなく、前記共通電極及び前記画素電極をそれぞれ覆うように形成された垂直配向膜と、前記共通電極に設けられた前記配向制御窓と、前記複数の画素電極にそれぞれ印加される電圧によって制御されることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項6】 請求項1～請求項5のいずれか一つに記載のアクティブマトリクス型液晶表示装置において、

前記第1基板の周辺部には、前記多結晶シリコン薄膜トランジスタとほぼ同じ構造の薄膜トランジスタ群からなる駆動回路が形成されていることを特徴とするアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、画素をそれぞれ薄膜トランジスタ(TFT: Tin film Transistor)で駆動して液晶表示を行うアクティブマトリクス型液晶表示装置(LCD: Liquid Crystal Display)、特に薄膜トランジスタに低温プロセスによって作成した多結晶シリコンを利用した液晶表示装置に関する。

【0002】

【従来の技術】一対の基板間に液晶を封入し、この液晶に電圧を印加して所望の表示を行う液晶表示装置は、小型、薄型であるという利点があり、また低消費電力化が容易であるため、現在、各種OA機器、AV機器或いは携帯用、車載用情報機器などのディスプレイとして実用

化が進んでいる。特に、各液晶画素を駆動するためのスイッチング素子として、薄膜トランジスタ（以下TFTといふ）を用いたいわゆるアクティブマトリクス型液晶表示装置は、TFTを選択的に駆動して液晶画素を選択することができるためクロストークのないより高精細な画像表示が可能である。

【0003】液晶表示装置に用いられるTFTとしては、能動層に非晶質（アモルファス）シリコンを用いた非晶質シリコンTFTと、能動層により移動度の高い多結晶シリコンを用いた多結晶シリコンTFTが知られており、非晶質シリコンTFTは、低温プロセスによって大面積にわたって形成が可能なことから、大型のディスプレイ用等に多く用いられている。これに対し、多結晶シリコンTFTは、非晶質シリコンに比べてその移動度が高く、また自己整合によって素子を形成することができるため、非晶質シリコンTFTよりもTFT面積及び画素面積を小さくすることが容易で、高精細なディスプレイを製造できる。また、多結晶シリコンを用いると、TFTをCMOS構造とすることも容易であるため、表示部TFTとほぼ同一工程によって、同一基板上に表示部TFTを駆動するドライバTFTを形成することができる。

【0004】

【発明が解決しようとする課題】このように特性が優れドライバを基板上に内蔵可能な多結晶シリコンTFTは、高温プロセスによって非晶質シリコンを多結晶化して形成することは知られているが、プロセス中に高温に曝されるため、基板に安価なガラス基板を用いることができず、実用化には難がある。

【0005】しかし、レーザアニールやランプアニールなどのアニール処理を用いた多結晶化技術の向上により、低温プロセスによる多結晶シリコンの製造が可能となりつつある。このように、低温プロセスによって多結晶シリコンTFTを形成する方法は、基板として安価なガラス基板を用いることができるので低コスト化が図れ、さらには大面積化が可能となり低温プロセスによる多結晶シリコンTFT（以下低温多結晶シリコンTFTといふ）の実用化に至っているこのように低温多結晶シリコンTFTの実用化が進みつつあるものの、液晶表示装置として低温多結晶シリコンTFTの特性を最大限發揮させ、またその特性をより向上させるために最適な液晶材料や最適なパネル構成などについては、依然、開発は進んでいない。このため、例えば、従来の非晶質シリコンTFT用の液晶表示装置に用いられていた材料や構成をそのまま転用しており、多結晶シリコンTFTの特性を十分に発揮させることができていないという問題があった。

【0006】上記課題を解決するために、この発明に係るアクティブマトリクス型液晶表示装置では、低温多結晶シリコンTFTの特性を最大限活用することを可能し

た液晶表示装置を得るため、適切な液晶材料やパネル構成など提案することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するためこの発明は、以下のような特徴を有する。

【0008】まず、この発明は、第1基板上に、マトリクス状に設けられた複数の画素電極と、対応する前記画素電極に接続されるように形成された薄膜トランジスタ及びその電極配線と、を備え、前記第1基板上の前記複数の画素電極と、該第1基板に対向配置された第2基板上の共通電極との間に挟持された液晶層を画素電極毎に駆動して表示を行うアクティブマトリクス型液晶表示装置であって、前記薄膜トランジスタとして、能動層に低温で形成された多結晶シリコン層を利用した多結晶シリコン薄膜トランジスタを用い、前記第1及び第2基板間に挟持される前記液晶層の各液晶分子の初期配向を前記画素電極に対してほぼ垂直方向となるように制御し、前記液晶層に用いる液晶材料として、側鎖にフッ素を備える上記の化学式（1）～化学式（6）で示される分子構造を備えた材料のうち、少なくともいずれか1種類の液晶分子を選択する。側鎖にフッ素を備えた液晶分子は、側鎖方向、つまり液晶分子の短軸方向における極性が高く、多結晶シリコン薄膜トランジスタによって実現される低い駆動電圧であっても十分動作することができる。また、短軸方向における極性が高いことは、例えば、液晶配向膜との反発を強めることにより、液晶の初期配向を垂直とすることが容易となる。

【0009】また、本発明は、前記第2基板上の前記共通電極に、前記画素電極と対向する所定対応領域内に前記液晶の配向を制御するための電極不在部を配向制御窓として設け、液晶分子の配向を垂直方向から変化させながら、各画素電極領域内に傾斜方角の異なる複数の領域を作成する。配向制御窓により、液晶分子の配向領域が安定的に分割されたため、表示装置に優先視野方向を複数設けることが可能となり、視野角が拡大する。

【0010】さらに、本発明において、前記第1基板には、該第1基板上に形成された薄膜トランジスタ及びその電極配線を覆うように平坦化層間絶縁膜が形成され、前記平坦化層間絶縁膜上に、前記複数の画素電極がそれぞれ形成されている。平坦化層間絶縁膜上に画素電極を形成することで、液晶分子の垂直配向に画素電極の凹凸が悪影響を与えないようしている。また、少なくとも薄膜トランジスタの形成領域を覆うように（例えば薄膜トランジスタ及びその電極配線を覆うように）、前記平坦化層間絶縁膜上に画素電極を形成することにより、薄膜トランジスタ等の発生する電界が液晶層に漏れることを防止する。また、画素電極を上層に位置させることで液晶層により効率的に電圧を印加することを容易としている。

【0011】また、さらに上記アクティブマトリクス型

液晶表示装置において、前記液晶層に用いられる液晶材料は、負の誘電異方性を備え、前記液晶層の垂直配向は、ラビング工程を施すことなく、前記共通電極及び前記画素電極をそれぞれ覆うように形成された垂直配向膜と、前記共通電極に設けられた前記配向制御窓と、前記複数の画素電極にそれぞれ印加される電圧によって制御される。ラビング工程なしで液晶層を垂直配向することにより、第1基板の周辺部に、前記多結晶シリコン薄膜トランジスタとほぼ同じ構造の薄膜トランジスタ群からなる駆動回路が形成されている場合においても、その駆動回路用のトランジスタがラビングによる悪影響を受けることが未然に防止されている。

【0012】

【発明の実施の形態】以下、図面を用いてこの発明の好適な実施の形態（以下実施形態という）について説明する。

【0013】図1は、この発明の実施形態に係るアクティブマトリクス型液晶表示装置の1画素についての平面構成の一例、図2は図1のA-A線に沿った概略断面の一例を示している。この実施形態に係るアクティブマトリクス型液晶表示装置は、低温多結晶シリコンTFTが形成され、画素電極26が上層に配置されたTFT基板（第1基板）10と、このTFT基板10と間に液晶層40を挟持するように対向配置された対向基板（第2基板）30を備え、各基板10及び30の外側にはそれぞれ互いにその透過偏光方向が直交するよう配置された偏光板44、46が設けられている。

【0014】ガラスなどからなるTFT基板10上には、図2に示す例では、Cr、Ta、Mo等の金属をパターニングして得られたゲート電極12及びゲート電極12と一体のゲート電極配線12Lを備え、これらゲート電極12、ゲート電極配線12Lを覆うように、例えばSiNx及びSiO₂の積層構造又はいずれか一方よりなるゲート絶縁膜14が形成されている。ゲート絶縁膜14上には、TFTの能動層として機能する多結晶シリコン薄膜20が形成されている。この多結晶シリコン薄膜20は、非晶質シリコン薄膜にレーザアニール及びランプアニールの組み合わせ又はいずれか一方アニール処理などを用いた低温アニール処理を施すことによって多結晶化し、その後、島状にパターニングして得たものである。

【0015】多結晶シリコン薄膜20上には、SiO₂等からなる注入ストップバ23が形成されている。この注入ストップバ23は、ゲート電極12をマスクとしてTFT基板10の裏面（図2の下側）から露光することで、自己整合的にゲート電極12とほぼ同一形状にパターニングして形成されている。そして、この注入ストップバ23を利用して多結晶シリコン薄膜20にリン、砒素等の不純物を低濃度に注入することにより、多結晶シリコン薄膜20の注入ストップバ23の直下領域の両側には、自

己整合的にこれらの不純物を低濃度に含む低濃度ソース領域20LS及び低濃度ドレイン領域20LDがそれぞれ形成されている。また、注入ストップバ23の直下領域は、注入ストップバ23がマスクとなって不純物が注入されないため、実質的に不純物を含有しない真性領域となり、この真性領域がTFTのチャネル領域20CHとして機能する。低濃度ソース領域20LS、低濃度ドレイン領域20LDの外側には、同じ不純物をさらに高濃度に注入することによりソース領域20S、ドレイン領域20Dが形成されている。

【0016】各領域（20CH、20LS、20LD、20S、20D）が形成された多結晶シリコン薄膜20及び注入ストップバ23上にはこれらを覆うようにSiN_x等からなる層間絶縁膜22が形成されている。この層間絶縁膜22上には、Al、Mo等からなるソース電極16、ドレイン電極18及びドレイン電極18と一緒にドレイン電極配線18Lが形成されている。また、ソース電極16及びドレイン電極18は、層間絶縁膜22に設けられたコントクトホールにおいて上記多結晶シリコン薄膜20に形成されたソース領域20S、ドレイン領域20Dに接続されている。

【0017】この実施形態における低温多結晶シリコンTFTは、上記ゲート電極12、ゲート絶縁膜14、多結晶シリコン薄膜20（20CH、20LS、20LD、20S、20D）、ソース電極16、ドレイン電極18を備え、低温プロセスで形成された多結晶シリコン薄膜20を能動層として有し、またゲート電極12が素子下側に位置する逆スタガ型のTFTによって構成されている。但し、TFT形状は逆スタガ型に限定されることではなく、ゲート電極が多結晶シリコン薄膜よりも上層に配置されるスタガ型の構成であってもよい。

【0018】このような構成のTFT及び層間絶縁膜22を覆うようにTFT基板10のほぼ全面には、さらに平坦化のための平坦化層間絶縁膜24が1μm程度或いはそれ以上の厚さに形成されている。この平坦化層間絶縁膜24は、例えばSOG（Spin On Glass）、BPSG（Boro-phospho-Silicate Glass）、アクリル樹脂等が用いられている。平坦化層間絶縁膜24上には、表示装置が透過型の場合にはITO（Indium Tin Oxide）等の透明導電膜を用いた液晶駆動用の画素電極26がTFT形成領域上を覆うように形成され、この画素電極26は、平坦化層間絶縁膜24に設けられたコントクトホールを介してソース電極16に接続されている。なお、表示装置が反射型の場合にはこの画素電極26としてAl等の導電性反射材料が用いられる。

【0019】画素電極26を覆うようにTFT基板10のほぼ全面には、ラビング工程なしで液晶分子を垂直方向に配向させるための配向膜として、例えばポリイミド（SiNx）等を用いた垂直配向膜28が形成されている。

【0020】以上のような各素子が形成されたTFT基板10と液晶層40を挟んで対向配置される対向基板(第2基板)30は、TFT基板10と同様にガラス等から構成されており、TFT基板10との対向側表面にはRGBのカラー・フィルタ38が形成され、さらにその上にはアクリル樹脂などの保護膜36を介し、対向する画素電極26とで液晶を駆動するためのITOなどからなる共通電極32が形成されている。そして、本実施形態では、後述するように、この共通電極32にはその各画素電極26と対向する領域に配向制御窓34として、例えば図2に示すようなX字状の電極不在部が形成されている。また、共通電極32及びこの配向制御窓34上にはこれらを覆うようにTFT基板10側と同様の垂直配向膜28が形成されている。

【0021】液晶層40は、例えば3μm程度に設定された基板間の隙間に封入され、液晶材料としては、液晶分子42の長軸方向の誘電率よりも短軸方向の誘電率が大きい、いわゆる負の誘電率異方性を有する液晶材料が用いられている。本実施形態において液晶層40に用いられている液晶材料は、上記のような側鎖にフッ素を有する化学式(1)～(6)で示される構造を備えた液晶分子を所望の割合で混合して作製したものであり、これら化学式(1)～(6)の少なくとも1種類の液晶分子を含むように混合されている。

【0022】現在、負の誘電異方性を有する液晶材料としては、移動度の低い非晶質シリコンを能動層に利用したTFT液晶表示装置用として、側鎖にシアノ(CN-)基を有する液晶分子が主に用いられている。しかし、シアノ基を側鎖に備える液晶分子は、低電圧駆動では残留直流電流が存在するため、十分高い電圧で駆動する必要があり、電圧保持率が低く、また液晶の焼き付きの可能性がある。しかし、本実施形態ではTFTとして低温プロセスによって作製され、低電圧駆動可能な多結晶シリコンTFTを用いている。従って、現在用いられているシアノ基を側鎖に備えた液晶材料を用いたのでは、低電圧駆動ができるという多結晶シリコンTFTの特性を活かすことができないこととなる。そこで、液晶材料として上述のような化学式(1)～(6)に示すように、側鎖にフッ素を有する液晶分子を配合することにより、側鎖の極性が高まり、液晶層40は、例えば温度範囲-20°C～80°C以上の範囲において、2V程度の低電圧での駆動が可能となり、さらに、多結晶シリコンTFTによる低電圧駆動でも十分高い電圧保持率を備え、焼き付きが防止されている。また、液晶表示装置を低電圧で駆動することができるため、非晶質シリコンTFTを用いた液晶表示装置と比較してより低消費電力の装置とすることが可能である。

【0023】本実施形態では、上述のような負の誘電異方性を有するフッ素系液晶分子を含有する液晶材料を用い、かつ垂直配向膜28を用いることにより、液晶分子

の初期配向を垂直方向に制御するDAP(deformation of vertically aligned phase)型の配向制御を行っている。DAP型は、電圧制御複屈折(ECB: electrically controlled birefringence)方式の一種であり、液晶分子の長軸と短軸における屈折率の差、つまり複屈折現象を利用して、液晶層へ入射した光の透過率を制御するものである。

【0024】液晶層40への電圧印加時には、このDAP型の液晶表示装置は、TFT基板10と対向基板30の外側に互いに直交配置された偏光板44、46の一方を通過して液晶層40へ入射した直線偏光をその複屈折により梢円偏光、さらには円偏光とすることで、他方の偏光板より入射光の射出を可能とする。液晶層40への電圧非印加時には、液晶分子は垂直配向膜28により垂直に配向しているので、一方の偏光板から液晶層40へ入射された光は、複屈折を受けず、他方の偏光板から射出されることはない。つまり、このDAP型は、液晶層40における電界強度に従ってその複屈折量、つまり入射直線偏光の常光成分と異常光成分との位相差(リタクション量)が決定し、液晶層40への印加電圧の上昇に伴って表示が黒から白へと変化するいわゆるノーマリブラックモードの表示を行う。そして、液晶層40への印加電圧を各画素毎に制御することで、他方の偏光板からの射出光量、つまり透過率が画素毎に制御され、表示装置全体で所望のイメージ表示が可能となっている。

【0025】さらに、本実施形態では、図1及び図2に示すように共通電極32に電極不在部としての配向制御窓34を設けることにより、配向制御窓34を基準として所定の方角に傾け、液晶分子の応答性の向上を図ると共に、画素内で配向方向を分割することによって液晶表示の視角依存性を緩和し、広い視野角の表示装置を実現している。液晶層40への電圧印加時において、図1に示す画素電極26の各辺のエッジ部分には、図2に点線で示すように共通電極32との間にそれぞれ異なる方角に斜めの電界が発生するため、画素電極26の辺のエッジ部分では、液晶分子は垂直配向状態から斜め電界の傾きの反対側に傾く。液晶分子42は連続体性を有しているため、画素電極26のエッジ部分で斜め電界で液晶分子の傾き方角が決定すると(傾き角度は電界強度によって決定)、画素電極26の中央付近の液晶分子の傾き方角は、該画素電極26の各辺における液晶分子の傾き方角に従うこととなり、1つの画素領域内には、液晶分子の傾き方角の異なる複数の領域が発生することとなる。

【0026】一方、配向制御窓34には常に液晶動作閏値以下の電圧しか印加されないため、図2に示すように配向制御窓34に位置する液晶分子は、垂直配向したままとなる。このため、配向制御窓34が、常に上記液晶分子の傾き方角の異なる領域の境界となる。例えば、図1に示すように配向制御窓34をX字状とすれば、それぞれ傾き方角の異なる領域A、B、C、Dの境界は、こ

のX字状の配向制御窓34上に固定されることとなる。

【0027】上述のようにDAP型液晶表示装置では、入射光に対する液晶分子の傾きにより透過率が異なるため、一つの画素領域内における液晶分子の傾き方角が一方向であると、優先視角方向も対応する一方に限定されてしまい、視角依存性が強くなる。また、一つの画素領域内で異なる複数の傾き方角の領域が存在する場合であっても、その傾きの領域の境界が各選択期間毎に変化すると、表示にザラツキが発生して表示品質の低下を招く。これに対し、本実施形態では、一つの画素領域内で配向分割が行われるのみならず、複数の異なる方角に傾く領域の境界を配向制御窓34の上に固定することができ、優先視角方向を複数設けることができ（本実施形態の場合、上下左右の4つ）、広視野角の液晶表示装置とすることが可能となる。

【0028】さらに、本実施形態では、上述のように画素電極26が層間絶縁膜22及び24を介してTFT及びその電極配線（ゲート電極配線、ドレイン電極配線）等の形成領域上を覆うように形成されているため、TFT及び電極配線による電界が液晶層40に漏れ、液晶分子の配向に悪影響を与えることが防止でき、また、平坦化層間絶縁膜24により画素電極26の表面の平坦性を向上させることができるのであるため、画素電極26の表面の凹凸による液晶分子の配向の乱れも防止することができる。さらに、このようにTFTや電極配線による電界の漏洩や画素電極26表面の凹凸などを低減することができる構成であるため、本実施形態では、画素電極26のエッジ部分と配向制御窓34の電界作用により液晶分子の配向を制御しており、垂直配向膜28に対するラビング工程は不要となっている。

【0029】上述のように、本実施形態では、自己整合によってチャネル、ソース、ドレインを作製可能な多結晶シリコンTFTを表示部のスイッチング素子として用いており、液晶表示部の周辺にはこの表示部のTFTとほぼ同一の工程で作製したCMOS構造の多結晶シリコンTFTよりなるドライバを備えている。このため、本実施形態のようにTFTが密集したドライバ部の多結晶シリコンTFTに悪影響を与える可能性のあるラビング工程を省略することで、液晶表示装置としての歩留まり向上を図ることが可能となる。

【0030】また、画素電極26がTFT及び各電極配線を覆うように形成することにより、例えば反射型の液晶表示装置とした場合には、従来、TFTや配線などによって開口率が制限されることなく、非常に高くすることができますが可能となる。また透過型の場合であっても、TFT及び電極配線によって区画された領域内において、画素電極26を上層に配置して、TFT及び電極配線を覆うように透明な画素電極26を形成することで、最大限の開口率を実現することが可能となる。

【0031】さらに、画素電極26をTFT及び各電極

配線よりも上層とすることで、画素電極26と液晶層40との距離が短くなるため、この画素電極26によって液晶層40に効率的に駆動電圧を印加することが可能となる。

【0032】

【発明の効果】以上説明したように、この発明においては、駆動回路を同一基板上に内蔵可能であってかつ低電圧駆動可能な低温多結晶シリコンTFTを液晶駆動用の素子として用いた場合に、液晶材料として負の誘電異方性を備え、少なくとも側鎖にフッ素を有する液晶分子を用いることにより、低電圧であっても液晶層を十分駆動することが可能となる。さらに、多結晶シリコンTFTに適した低電圧駆動でも液晶層は、十分高い電圧保持率を示し、焼き付きが防止される。また、液晶表示装置を低電圧で駆動することができるため、液晶表示装置の消費電力を低減することができる。

【0033】また、共通電極の各画素電極と対向する領域に配向制御窓を設けることにより、一画素領域内で液晶分子の配向の方角を分割することにより、液晶表示装置の視覚依存性を低減でき、表示装置を大型化した場合にも有利となる。

【0034】さらに、薄膜トランジスタを覆うように平坦化層間絶縁層を形成しその上に画素電極を形成するので、表示装置の開口率の向上が図れると共に画素電極の平坦性が確保され、ラビング工程を施さずに垂直配向される液晶分子の配向の乱れを防ぐことが容易となる。さらに、画素電極を薄膜トランジスタよりも上層に配置することにより、薄膜トランジスタ及びそのための電極配線からの電界が液晶層に漏れて配向に悪影響を与えることを防止でき、低電圧の駆動でも液晶層を十分制御することができる。また、ラビング工程なしで液晶層の初期配向を垂直配向とすることが可能であるため、液晶駆動用の低温多結晶シリコンTFTと同一基板上にドライバTFTを内蔵した場合であっても、ラビングにより、基板周辺領域に形成されたドライバTFTに損傷を与える可能性が無くなり、ドライバ内蔵型とされる多結晶シリコンTFTを用いた液晶表示装置により好適となる。

【図面の簡単な説明】

【図1】 本実施形態に係るアクティブマトリクス型液晶表示装置の平面構成の一例を示す概念図である。

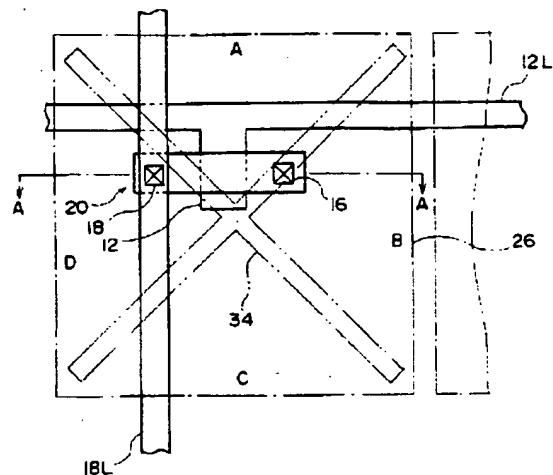
【図2】 図1の液晶表示装置のA-A線に沿った概略断面を示す図である。

【符号の説明】

10 TFT基板（第1基板）、12 ゲート電極、13、14 ゲート絶縁膜、16 ソース電極、18 ドレイン電極、20 多結晶シリコン薄膜、20S ソース領域、20LS 低濃度ソース領域、20CH チャネル領域、20D ドレイン領域、20LD 低濃度ドレイン領域、22 層間絶縁膜、23 注入ストップ、24

4 平坦化層間絶縁膜(SOG)、26 画素電極、2
8 垂直配向膜、30 対向基板(第2基板)、32
共通電極、34 配向制御窓、36 保護膜、38 ラーフィルタ、40 液晶層、42 液晶分子。

【図1】



【図2】

